# NAND的可测试性和测试流程设计

NAND 业务需要在技术开发和制造方面投入巨额资金。 此外，每当出现新的工艺节点时，前沿的 NAND 闪存成本和良率问题都会增加。 NAND 闪存制造商必须解决测试问题，以加速学习，提高良率，保持在成本上有竞争力的结构。

本章探讨 NAND 闪存测试，重点关注可测试性设计 (DFT)，以提高测试覆盖率，降低成本。

## NAND的架构与测试

在前沿的NAND型FLASH存储器中，主阵列占据了70%的裸片面积，而作为核心电路代表的行译码器和页缓冲器占据的面积次之。NAND闪存测试的大部分工作都是与筛查阵列、行译码器和page buffer缺陷相关。除了上述内容，剩余10%的外围线路也应保证测试覆盖，确保功能正确。

图15-1所示为NAND闪存芯片的概要框图。该图详细介绍了用于选择字线的X-decode；芯片使用器件一直负责驱动芯片高压的X-drivers；wordline作为最窄线宽走线，连接着X-drivers。

页缓冲器或感测放大器与位线相连，且该模块采用最严格的金属线设计规则。通常来说，列向缺陷采用列冗余替换。若闪存的页容量为4 kB，则在设计时会把4096个感测电路连同额外的备用/ECC感测元件连接到并行工作的位线上。Y向多路复用器则根据地址从4K个page buffer中选择对应数据送到数据总线上。

在器件的整个生命周期内，器件的高压部分（包括电荷泵和稳压器）必须提供满足精度要求的电压，来确保阵列操作的可靠。

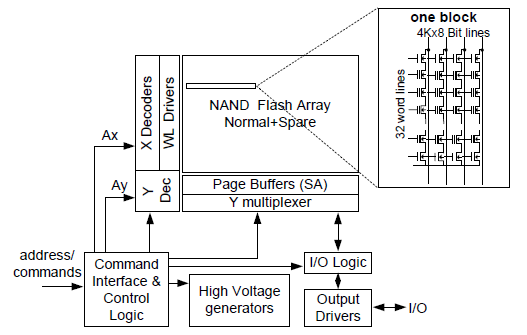


图15‑1NAND型FLASH存储器框图

假设阵列的一个块的写入/擦除循环次数的指标为10k。需要关注的是，在最坏的情况下（虽然不太可能），在每轮操作中提供所需电压的电荷泵需要操作的次数为10k乘以阵列的总块数。即使在设计阶段考虑到了这些可靠性的方面，制造商也必须保证不同批次的产品均可达到可靠性的目标。

此外，控制逻辑部分负责管理涉及存储器操作的所有电路。该部分通常由一个微控制器、一个掩码 ROM 和一个用于执行代码和存储数据的 RAM 组成。其他功能可以基于可编程逻辑阵列来实现。芯片中的数字电路面临与数字ASIC 相同的可测试性问题。可以通过适当的测试工具和可访问性（例如数字扫描链）来确保可测试性，以达到最高的质量水平和最短的测试时间。

以下章节的目的是针对阵列架构和外围电路相关的测试问题提供一个介绍性的概述。详细的电路描述建议参考本书的具体章节和参考书目。具体的测试模式描述将在第15.4节中给出。

### 阵列测试

阵列测试的首要目标是检测阵列缺陷，并通过冗余和坏块来修复这些缺陷。

图15-2所示为 NAND 阵列中的一部分。从图中可以看出，在位线方向上，由32个存储单元组成一个string，在末端是一个位线接触孔。

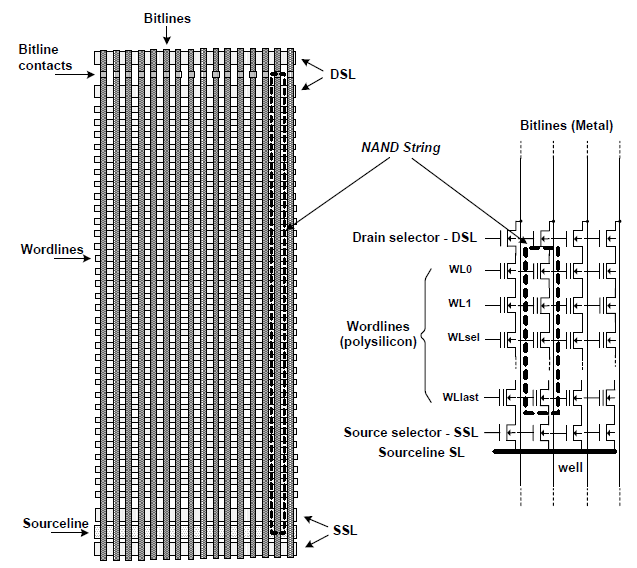


图15‑2 NAND阵列的版图和原理图

位线接触孔将串连接到公共位线金属上。每根串上有32条多晶硅字线。在其边界处和位线接触孔附近，用更大的字符标注了漏极和源极选择器（DSL、SSL）的选择线。

值得注意的是，可以通过改变版图层次的类型、数量和布局来实现不同的阵列方案，从而改进对NAND的操作，但这些方案与工艺的能力和成本密切相关。三金属层阵列在前沿 MLC 器件中应用广泛。人们正在研究用于位线、字线和电介质的新材料以及金属布线的方案以提高性能。这些新概念一经采用，就会在存储器的性能提升和生产中引发新的挑战。

降低产品良率的主要因素总结如下。

·位线之间的短路

-由金属短路和位线接触孔短路引起

-可通过冗余列修复

·字线之间的短路

-由多晶线短路引起

-可通过坏块管理修复

·串开路

-由位线接触点开路、位线金属开路、AA开路引起

-可通过冗余列修复

·位线字线短路

-由层间缺陷引起

-可通过坏块管理修复

次要因素与存储单元的电容耦合结构有关。这些影响在MLC、TLC、XLC中更为严重，通常结合纠错码解决。

有效的缺陷检测测试对于fast technology learning、提高良率和降低测试成本是必不可少的。

### 高压泵测试

图15-3所示框图包含存储器内的主电压发生器和相关的信号通路。

所有用于偏置字线的电压信号连接到开关组件，它将正确的电压值传递到串中相应的字线上。开关组件的输出是全局字线（GWL）信号，其数量取决于串中字线的数量（例如32或64）。

开关组件由寻址逻辑部分控制。为了测试的需求，这一模块的设计应当尽可能的在灵活性上作出努力。

大多数电荷泵和稳压器都有微调选项，且其电压输出通过图 15-3 中的开关组件连接到特殊测试焊盘，以验证和校正其电压值。表15-1所示为 NAND 存储器内部使用的电压的示例。

电荷泵的输出值必须测试，且在某些情况下可以通过非易失性寄存器（Fuse ROM）进行调整。

电荷泵被设计成能在指定的时限内对容性负载进行充/放电，这种时序的稳定性在整个编程/擦除期间至关重要。这些时序之所以对编程算法如此重要，是因为在执行写入脉冲和验证操作之前，电压必须稳定。因此，适当的应力加速测试可用于提前暴露电荷泵模块的潜在的退化可能性。

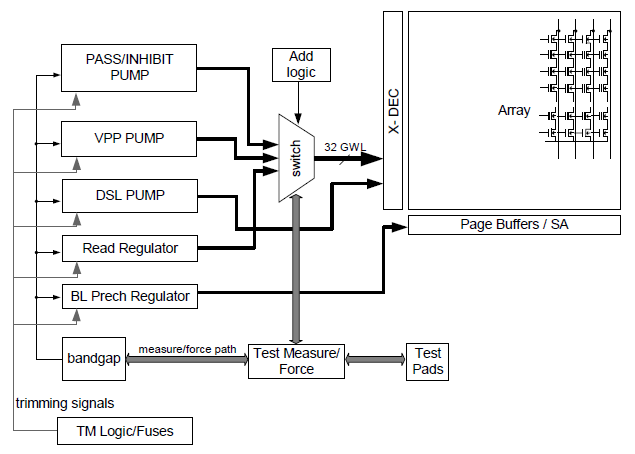
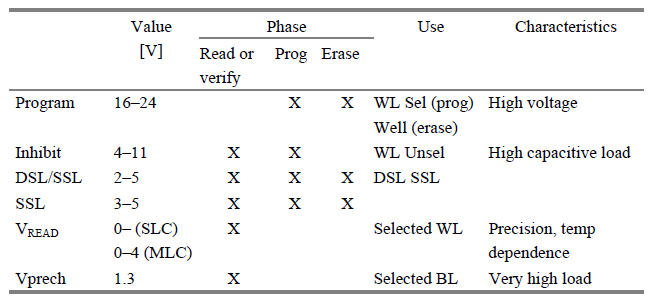


图15‑3电压产生和分布框图

表15‑1NAND电压



### 读出电路测试

众所周知，读取电路又称为页缓冲器或感测放大器，因为它的功能是阵列内许多测试操作的基础。页缓冲器将在第8章详述。

由于页面缓冲区的版图密度，金属走线的短路和开路是这部分线路失效，从而降低芯片良率的最重要因素。检测页缓冲区中的固定故障是主要关注点。因此，应当设计一项测试通路，能够直接对page buffer进行数据写入再回读。在 MLC产品中，感测阈值也是需要测量的基本指标。

通常在构建SLC page buffer时，要么采用1个锁存器（则芯片不具备缓存功能），要么采用2个锁存器（芯片可实现缓存功能）。而在 MLC中需要至少2个锁存器，通常会采用3个。

需要强调的是，从测试的角度来看，双锁存结构在测试存储器的数据加载和错误累积时是极为有帮助的。而例如将数据从一个latch搬移到另一个latch的功能，对于某些特殊的测试向量同样是有帮助的（第15.4节）。

## NAND Flash测试导论

在本节中，从可测试性设计的角度分析了NAND闪存测试的各个方面。测试是指在整个生产周期中对基于 NAND 闪存的产品执行的一系列操作。这包括首次样产测试（first silicon testing）以及经历了一系列良率改善测试后的最终量产测试。测试流程设计包括确定为了筛选有缺陷或性能不佳的芯片所需的测试序列，筛选阶段是从晶圆级到单芯片级甚至模组级。测试流程设计旨在获得最佳覆盖率，以避免最终产品中的故障，提高生产力并减少测试时间，当然更普遍的目标是降低测试成本。可测试性设计(DFT)工作最终面向获得更好的测试覆盖率和更低的生产测试成本，并将在第15.3节中讨论。

### 测试阶段：第一个硅片、加速和生产

通常，新产品的测试分为三个阶段。

1. 第一个硅片阶段。在此阶段，测试流程旨在进行初始工艺/产品评估；广泛使用使用特殊测试模式可用于对阵列和电路进行初步且基本的功能测试并收集数据。在这个阶段，重要的不是测试时间，而是芯片基本功能。

2. 加速阶段。在这个阶段，要求增加测试并行度，测试流程全覆盖，进行冗余替换，并开始使用专门的测试仪器。

3. 生产阶段。在此阶段，减少测试时间和提高良率更为重要。

三个阶段的最佳执行方式是由产品的投资回报曲线来衡量的。这三个阶段具有不同的权重，具体取决于下述三种情况。

A. 第一种情况是开发出了新的工艺节点。在这种情况下，通常采用已建立的架构或测试芯片来引领推动该工艺节点的开发。可以将一些新的 DFT 功能添加到芯片中，但通常产品架构非常接近已经投入生产且测试环境可以重新使用的产品。通过这种方式，可以尽可能减少测试流程调试时间，并能更早收集到工艺的信息。

B. 第二种情况是引入新产品架构时，通常基于成熟的工艺节点。在这种情况下，在第一个硅片阶段使用新设计的测试模式功能，以使设备正常工作并收集早期的功能信息。

C. 第三种情况是阉割版本或者衍生产品时。在这种情况下，应当追求最小的风险，采用原始产品的已搭建好的测试环境，来获得首次功能测试的成功，快速进入加速阶段。

### NAND型FLASH测试流程导论

测试流程是我们用于指代一系列测试的术语，以筛选合格的芯片。

NAND测试流程分为前道或晶圆级以及后道或终测。为了筛选出早期寿命缺陷，需要进行老化测试。基本的NAND Flash测试流程（图15-4）将在以下小节中详细描述。

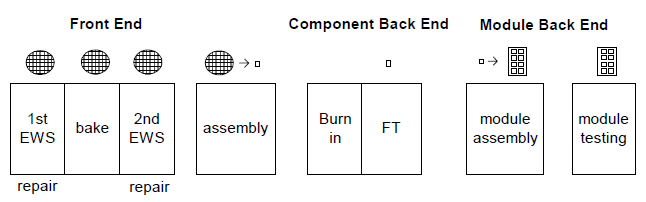


图15‑4基本的NAND型FLASH测试流程

***晶圆级测试流程***

NAND 晶圆级测试流程通常分为两个步骤，两者之间还有退火步骤。第一次EWS是用于检测早期缺陷、测试存储单元/块功能和施加应力测试的测试流程。像列短路这样的可修复的阵列缺陷，将通过冗余列进行修复。而其他缺陷，例如字线短路，将通过坏块处理。

基本的第一级流程总结如下。

1. 直流和接触孔测试

2. 页缓存器功能测试

3. 早期编擦循环

4. 擦除预处理并读取

5. 早期缺陷检测测试

6. 可编程性测试和读取

7. Vpass测试

8. 暴露缺陷的应力测试

9. 棋盘格与反棋盘格图形的编程和验证

10. 冗余替换信息汇总，以及烧录至芯片内部上电配置存储区域

11. 预置芯片退火条件

由于很多测试都涉及到阵列，而且测试时间与阵列容量成正比，故必须设计特殊的测试模式来减少测试时间。此类测试将在第15.4节中详述：例如并行编程或擦除测试模式、快速读取测试模式、缺陷检测测试模式和错误累记。

好的晶圆，即冗余和坏块数低于设定限制的晶圆将进入退火阶段：150℃~250℃通常被业界认为是一个合理的退火温度。

之后，进行第二次电子晶圆分类（EWS2）。它旨在筛选出阵列中存储单元的数据保存能力，并进行额外的测试。

基本的二级测试流程总结如下。

1. 直流和接触孔测试

2. 退火后回读

3. 用对角线图形来检查译码器缺陷

4. 基本用户模式测试

5. 冗余替换信息汇总，以及烧录至芯片内部上电配置存储区域

***后道流程***

后道测试或最终测试的重点是保证芯片各项参数符合指标，此外也要检测装机实用中引起的故障。同时也将根据指定等级，对芯片在低温和高温下进行相关参数测量。

下面列出了模组测试的主要步骤。

1. 漏电、待机电流和工作电流的测量。芯片ID读出。

2. 超出电源电压条件下的功能和数据保持测试。

3. 覆盖设计和工艺稳定性的专用测试。

4．高温下，测试交流参数，确定模组的速度等级。

5. 读取芯片ID以实现单芯片可追溯性和收集测量结果以进行良率分析。

***老化***

老化是一个特殊的测试部分，用于诱导和检测早期寿命缺陷并降低客户的现场故障率（图15-5）。老化测试通常是在高温环境（125℃）的特殊烘箱中进行，且尽可能处于高并行度。它通常由多个编程-验证-擦除循环组成。

应用物理加速意味着在应力条件下（即更高的温度或电压或湿度或占空比等）使用产品，以便在早期观察工艺的退化效果。常用的应力是电压和温度。加速因子AF是一个常数值，它乘以应力时间tstress可得标准条件下的等效使用时间tuse，如公式(15.1)所示。电压加速 AFV是最重要的因素，但热加速 AFT对于激活某些缺陷并减少测试时间也很重要。



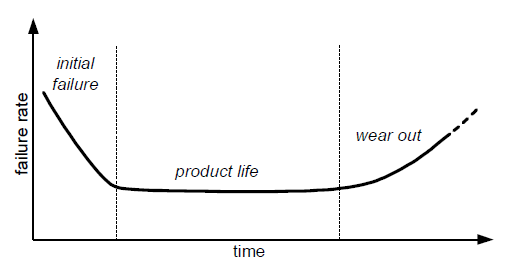
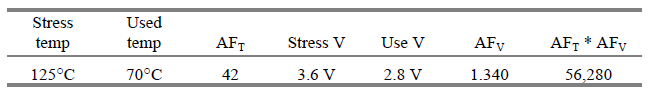


图15‑5 通过老炼来筛选早期寿命缺陷

表15-2所示为电压、温度加速因子的示例。

表15‑2 应力加速因子示例

（Arrhenius 温度加速模型，活化能0.8 eV，电压加速指数模型，因子β= 9）



在激活高压点时电压加速尤其有效。老化是激活类似化学或机械应力之类的与封装相关的应力的基础。

老化测试成本高昂。因此，有效且正确的老化策略是控制测试设备成本和测试时间的基础。

·电压和温度应力必须仔细单独控制，以避免对电路造成过应力损坏，并根据不同目标的活化能来确定可实现的正确应力水平。

·那些获得足够电压加速的电压应力可以实施到晶圆级测试中。老化测试应侧重于封测（包括机械应力和化学应力）。

·当电压/温度应力水平只能从标称值略微增加并且需要增加老化时间时，DFT 应该专注于消除这些限制，例如增加并行度以缩短老化时间。

·应通过引入先进的晶圆探测器和第三级晶圆级测试步骤来考虑晶圆级的老化测试。

一些老化测试所暴露出来的故障通常与电气开路或短路有关，总结如下：

·金属短路（线宽一致性问题）

·金属线的屏蔽（masking of metal lines，光刻步骤不完全导致线路开路？）

·固有缺陷密度

·接触孔短路

此外，还有因填料压印而导致的组装相关故障：

·机械应力（温循）

·填充颗粒对上层金属层的损坏

测试流程中的老化要求与应用场合密切相关。例如，对于闪存卡，百万分之几的缺陷 (dppm) 目标并不那么严格，并且可以省略老化。而用于 SSD 的闪存，则dppm要低得多，因此老化是必须的。

老化流程包括：

·适当的读取、编程和擦除操作顺序

·电源的应力

·字线的应力

·位线的应力

由于老化通常以非常高的并行度完成，因此常采用内置自检 (BIST) 策略使得每个设备都可以独立运行老化流程，并且只需要在超过预设时间后对所有配置BIST的设备读出最终测试结果。如果NAND产品采用微控制器架构来控制操作（第15.3.7节和第6章），则可以轻松实现和调整BIST。在这种情况下，特殊的测试流程可以存储在ROM中，参数可以定制，并通过特殊测试模式或测试命令执行。一些预定义的测试序列也可以嵌入到可编程逻辑阵列结构中。

最后，正确的策略取决于产品应用的要求。例如，USB/SD卡的坏片率很宽松，比如2500dppm。因此 ECC和坏块管理足够应对一些较小的失效。此外，产品的使用场景要求不高（例如，数码相机中的闪存卡在室温下会经历一些编程/擦除周期）。上述情况可选择无老化交付产品。相反，对于 SSD，裸片数量和 MTBF越高，缺陷目标要求越高，建议使用老化策略。

### 测试流程和测试时长优化

在2000-2010年，NAND 闪存市场经历了可用容量密度和位数的快速增长。成本上的一个大问题是测试成本随着芯片密度的增加而增加，而NAND的平均售价（ASP）却在减少。领先的 NAND 设备需要数天时间才能完成测试，并且测试时间会随着容量的增加而增加。MLC旨在通过增加位密度来降低容量成本，但在可靠性方面受限，需要更严格、有效的测试筛选。

对于在BIST硬件和标准协议方面落后于逻辑芯片制造商的 NAND 制造商来说，解决测试时间问题是迫在眉睫的。近年来，NAND制造商被迫增加对可测试性设计（DFT）的研究，以减少测试成本和提高生产力，但这些研究成果通常是专用的。自动化测试设备 (ATE) 系统通过定制以支持非易失性存储器测试要求，但是导致了 ATE 测试成本的增加。

降低测试成本和提高生产力需要许多步骤。降低成本的重要一步就是测试的并行性。晶圆级和模组级测试的高并行性是 ATE 供应商和DFT设计的主要研究领域。尽管探针卡制造商提供了在几次甚至单次接触中测试整个300mm晶圆的可能性，但由于冗余替换策略每一块芯片都是独立的，这仍然限制了并行测试。此外，并行测试的非易失性存储芯片越多，存储芯片的非确定性行为就越重要。不同页或芯片的测试时间有所不同。事实上，多个存储器的单步并行测试时长取决于其中最慢的存储器。为了充分发挥并行测试的优势，内存制造商正在通过增加内部并行度（即在更多页/块上执行写/擦除操作的能力）和利用BIST 功能来提高 DFT 水平，以减少与测试仪的交互。

测试仪的另一个限制是资源。此时分配DFT工作是为了减少对测试仪的电子引脚方面的资源需求。低引脚数测试 (LPCT) 是一种用于并行芯片测试的操作。为了实现最大的测试并行性，有必要将要测试的 I/O 数量从用户模式常用的字节或字对应的I/O数量至少减少到四个 I/O。电源单元仍然是限制测试并行度进一步提高的热门话题。这些主题将在下一节中介绍。

测试流程分析一直是研究的热点，旨在优化和降低总生产成本。新的测试仪和DFT 技术为其提供了许多可能性，采用此类技术会改变测试流程。例如，为了降低成本而采取的一种方法是把尽可能多的测试转移到晶圆级。通常在封装部件上执行的测试，如果转移到晶圆级，可以及早发现故障并进一步节省测试成本，更重要的是节省了封装成本。这种策略十分适合堆叠存储器，因为堆叠产品的良率是封装中每个裸片良率的乘积。高温测试曾经只属于封装器件，现在可以通过现代探测技术在晶圆级进行。晶圆级老化操作有助于节省老化成本和避免坏片的封装。

为了进一步减少测试时间，有必要优化测试时间的两个主要组成部分：

1. 写/擦/读时间

2. 数据输入时间和筛选错误时间（fail map acquisition time）

就第一点而言，写和擦除时间是由写/擦除机制的性质、最小写/擦除单位（即页面大小，扇区大小）和芯片架构（双/单平面）所决定的。通过特殊的DFT特性和测试模式，可以优化测试流程的几个点的写入/擦除时间。在某些情况下，并行写入、擦除、读取多个页面或块就是出于此目的。

关于第二点，可以使用DFT通过数据/错误压缩来减少测试时间，以节省大部分从DUT读取数据的时间。在第15.4节中，描述了一种测试模式，用于在验证操作期间累计失败。在这种情况下，压缩的失败信息而不是整个数据页被下载到测试仪的失败内存，从而节省了数据输出时间。

### KGD测试

已知合格芯片（KGD）测试是近年来逐渐普及的一种做法。制造商将整个晶圆连同失效图形（指坏块信息）信息一起交付给客户。KGD的目标是通过在晶圆上执行额外的测试（本应在后续阶段完成）来提供比通常EWS测试覆盖范围更大的存储器。 KGD 测试的第一个问题是保证通常在封装级别测试时的速度性能，还面临信号完整性和测量方面的问题。第二个问题是需要对晶圆进行准确的热测试。这两个问题都需要先进的探针技术和投资，但它们可以通过尽可能多地把生产线后端的测试提前进行来降低成本，如第15.2.3节所述。

### 坏块管理

NAND 存储设备利用坏块管理 (BBM)来获得最高的芯片良率。当阵列中的缺陷无法通过列冗余来修复时（例如，当两条相邻字线之间发生短路或缺陷大于列冗余能力时），则将整个块标记为坏块并进行适当的管理。 NAND冗余策略的一种方法是块冗余策略，以对用户透明的方式，用芯片上可用的额外备用块替换坏块，如图15.6a所示。由于增加了备用块，这种策略必然会造成面积上的增加，但在一定程度上是值得做的。

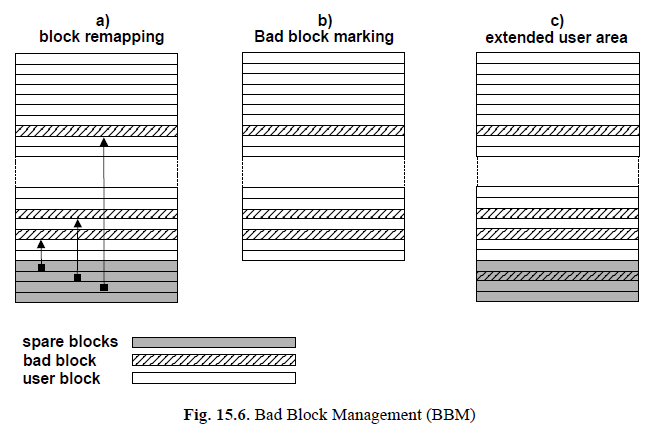


图15‑6 坏块管理（BBM）

应用于数据存储的NAND产品中的一种常见方法是根据坏块的数量将存储设备分类，并将这些带有坏块的芯片进行出售。在这种情况下，向用户保证了坏块的最大数量，而文件系统软件将正确处理这些块。最新一个方案是提供额外的备用块来扩展可寻址内存（图15.6c）。这些添加的备用块可以被文件系统视为标准块，并作为额外的存储空间提供给客户。

坏块可以被系统软件识别，因为它们被工厂或制造商编程设置了特殊标记。例如，如果块中第一页或最后一页的第一个字节是00h，则该块被识别为坏块并由文件系统正确处理。行业正努力标准化坏块识别。

坏块（BB）可以在测试流程中被识别出来，并且需要测试程序进行适当的管理。大多数坏块通常在第一个晶圆级的早期测试中被检测到，此时会发现更大的缺陷。在测试过程中，测试人员会收集坏块信息，以便在流程的最后采用冗余策略并最终标记坏块。测试中BB管理的策略并不简单。例如，当我们不知道页面是否可以保留信息时，不可能在页面中标记坏块信息。出于这个原因，考虑到可用的片上硬件和测试仪的限制，必须采用最简单有效的策略。

在第一次晶圆级测试期间，坏块信息被收集在测试仪中。在流程的最后，冗余替换以及坏块标记信息烧录至芯片硬件中（可以是Fuse ROM，亦或者是阵列的特殊区域，但通常需要有纠错码保证）。

当最重要的缺陷已经被筛选出来并完成第一次保留测试时，第二次晶圆级测试将在配置信息烧录完成后开始。测试流程继续进行，并使用芯片内的易失性寄存器（或 SRAM）更新坏块映射，继续累积新发现的坏块失效。这种方法避免使用测试器资源来存储信息。最终目标是避免多次熔断过程，以减少测试时间，并更好地利用内存的非易失性（DRAM无法做到这一点）。对于这种方法，可以使用一个好的备用块或标准块来存储坏块表，甚至还可以存储在后续测试步骤中使用的其他测试信息。这种块可以标记为坏块，确保客户永远不会使用。通过使用这种策略，所有后续的测试步骤都可以更新坏块表。